

что позволяет разместить большее количество элементов, увеличив тем самым плотность монтажа элементов на блоке.

2. Блок управления РМ выполнен в конструктиве $\frac{1}{2}$ УКЦВС-2.

3. На одном блоке размещается оборудование для управления двумя шаговыми моторами с выборкой «два из трех» и контроля ламельными датчиками (ЛД). Одновременно задействованы две обмотки каждого ШМ.

Блок РМ текущего заказа содержит в себе: 3 генератора частоты, 6 модулей ДБТ и 32 силовых транзистора, коммутирующих нагрузку, 48 диодов, обеспечивающих демпфирование нагрузки. Выборка «два из трех» осуществляется с помощью соединения выходов модулей ДБТ по соответствующим каналам на соответствующий выходной транзистор.

Также силовое оборудование теперь выполнено с использованием трехканального резервирования, а не дублирования, как это было сделано в предыдущем исполнении блока, что увеличивает надежность аппаратуры и упрощает применение блока в приборах с традиционным для нашего предприятия трехканальным резервированием.

Выигрыш по ГМХ для блока РМ составил около 25 %, поскольку удалось разместить на блоке оборудование контроля ЛД, тогда как в предыдущем варианте оно размещалось на другом блоках, что мешало сделать блок конструктивно законченным в части выполнения всех функций управления РМ.

Проведенный анализ показал возможность оптимизации ГМХ периферийных приборов бортовой аппаратуры за счет внедрения модульной структуры, а также возможности последующей модернизации модулей при развитии элементной базы или их интеграции в блоки.

ПРОБЛЕМЫ ВЕРИФИКАЦИИ ПРИ РАЗРАБОТКЕ ИЗДЕЛИЙ МИКРОЭЛЕКТРОНИКИ

Насыров Р.Т.

Акционерное общество «НПО автоматики», г. Екатеринбург, Россия

E-mail: avt@npoa.ru

- Современные методы разработки
 - Использование HDL языков (VHDL, Verilog, SystemC, и др.)
 - Симуляция на RTL модели
 - Общий маршрут проектирования (разработка RTL, верификация, синтез, получение топологии, фотошаблон, производство)
- Что означает верификация (цели и задачи)
 - Обнаружение ошибок ДО запуска изделия в производство
 - Соответствие спецификации (ТЗ, ТУ, ГОСТ, и т.д.)

- Обнаружение ошибок (понятие положительных и отрицательных веток)
- Верификация – помещение тестируемых моделей в окружение с воссозданием рабочих воздействий, помех и связей
- Достижение максимального тестового покрытия
 - Формальное тестовое покрытие - % цепей и сигналов, побывавших во всех возможных состояниях
 - Функциональное тестовое покрытие – проверка всех условий и переходов согласно ТЗ
- Необходимость принятия стандартов при создании верификационных программ
 - Единая методология, поддерживаемая ведущими мировыми вендорами (Cadence, Synopsys, Mentor Graphics), т.е имеется поддержка в соответствующих EDA (Electronic Device Automation) системах
 - Повышение качества создания, сопровождения и модификации тестовых программ
- UVM – Universal Verification Methodology
 - Open source (Apache) – доступно в исходных текстах
 - Библиотека классов
 - Документация и методология по использованию библиотеки
 - Поддерживается ведущими симуляторами
 - Многоязыковая платформа (SystemVerilog, VHDL, e-Language, etc)